

PHASE DEMODULATOR

Patent Number: JP5048663
Publication date: 1993-02-26
Inventor(s): TOMITA HIDEHO
Applicant(s): NEC CORP
Requested Patent: ☐ JP5048663
Application Number: JP19910168596 19910710
Priority Number(s):
IPC Classification: H04L27/22
EC Classification:
Equivalents: JP2841935B2

Abstract

PURPOSE: To directly demodulate a carrier PSK signal PSK-modulated by a digital signal without using an analog circuit.

CONSTITUTION: A Baud timing signal (c) is converted into a synchronous Baud timing signal (d) synchronizing the first rising of the PSK signal (a) converted into a logical level in a zero-cross detecting equipment 1 by a sampler 2 in the demodulating circuit of a delay detection system. In the meantime, a ring oscillator 3 generates an output (e) in N taps where the phase of a frequency being the same as the carrier frequency of the PSK signal (a) is equally divided into N parts. The outputs (e) are latched by the synchronous Baud timing signal (d) in a latch 4. A point where the logical level of the mutually adjacent latch outputs (e) changes becomes phase information of the digital signal. Phase information is encoded in an encoder 5 so as to generate a demodulating output (g). The demodulating circuit of a synchronous detection system subtracts the offset phase being the output of a synchronous phase defining circuit from phase information so as to define the reference phase of the PSK signal (a).

Data supplied from the esp@cenet database - I2

使用禁止願ひます

(10) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号
特開平5-48663

(43) 公開日 平成5年(1993)2月26日

(51) Int. Cl. ⁴	国際記号	F I	技術表示箇所
H 0 4 L 27/22	G 9297-5K J 9297-5K		
(21) 出願番号	特願平3-168596	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成3年(1991)7月10日	(72) 発明者	富田 秀徳 東京都港区芝五丁目7番1号日本電気株式会社内
(31) 優先権主張番号	特願平2-191968	(73) 代理人	弁理士 内藤 晋
(32) 優先日	平2(1990)7月20日		
(33) 優先権主張国	日本 (J P)		

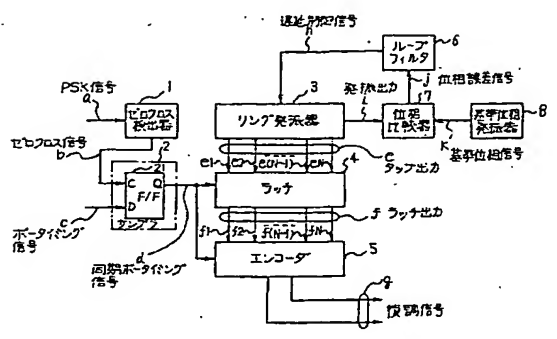
審査請求 未請求 請求項の数20(全 9 頁)

(54) 発明の名称 位相復調器

(57) 要約

【目的】 デジタル信号により P S K 変調された搬送波 P S K 復調信号をアナログ回路を用いることなく直接復調する。

【構成】 遅延線方式の復調回路では、サンプリングによってポートミニング信号 c は、ゼロクロス検出器 1 で論理レベルに変換された P S K 信号 a の最初の立ち上りに同期した同期ポートミニング信号 d に変換される。一方、リッパ発生器 3 は、P S K 信号 a の搬送波周波数と同じ周波数の位相が N 等分された N 個のタップに出力 e を生ずる。出力 e は、ラッチ 4 により同期ポートミニング信号 d でラッチされる。相関するラッチ出力 e の論理レベルが変化する点が上記デジタル信号の位相情報となる。位相情報はエンコーダ 5 でエンコードされて復調出力 b を形成する。同期線方式の復調回路では、上記位相情報から同期位相検出回路の出力であるオフセット位相を減算して P S K 信号 a の基座位相を決定する。



【特許請求の範囲】

【請求項 1】 伝送路を経て伝送されてきた P S K 信号からこの P S K 信号の振幅が基座位相を交差するゼロクロス点を検出し、ゼロクロス点を検出するゼロクロス検出手段と、

ポートミニング信号を前記ゼロクロス信号とともに入力を受けて前記ゼロクロス点を検出する同期ポートミニング信号を生ずるサンプリング手段と、

リッパ状に接続された制御信号に基き変化する遅延時間を与える N (N は自然数) 個の遅延素子を含み、互いに相関する 2 つの出力端の間の位相差 $2\pi/N$ のタップ出力および前記 P S K 信号の搬送波周波数にほぼ等しい搬送波周波数を生ずるリッパ発生器と、

前記 N 個のタップ出力の各々を前記同期ポートミニング信号の論理レベル変化点においてラッチし、前記ラッチ出力の各々に対応したラッチ出力を生成するラッチ手段と、

前記 N 個のラッチ出力から、順に配列され且つ互いに相関するラッチ出力間で論理レベルの変化する論理レベル変化点をポーリ期間ごとに検出し、それら論理レベル変化点をコード化するエンコーダを含むことを特徴とする遅延線方式の位相復調器。

【請求項 2】 前記 P S K 信号の搬送波周波数のほぼ M (M は 1 も含む自然数) 倍の周波数の基準位相信号を生ずる基準位相発生器と、

前記リッパ発生器の遅延素子の一つの出力端からの搬送出力と前記基準位相信号との位相差に基きして位相検出信号を生ずる位相比較器手段と、

前記位相検出信号を平滑化して遅延制御信号とするローパスフィルタとをさらに含み、

前記リッパ発生器の搬送波周波数を前記遅延制御信号により前記基準位相信号の周波数に一致させることを特徴とする請求項 1 記載の位相復調器。

【請求項 3】 前記ゼロクロス検出信号は、前記 P S K 信号の振幅が正または負のいずれか一方である期間は一一定幅幅を持ち、他方である期間にゼロとなることを特徴とする請求項 1 記載の位相復調器。

【請求項 4】 前記サンプリング手段がクロック信号として前記ゼロクロス検出信号、データ入力として前記ポートミニング信号を受け、データ出力として前記同期ポートミニング信号を生ずるリッパ発生器を含むことを特徴とする請求項 1 記載の位相復調器。

【請求項 5】 前記リッパ発生器手段がリッパ状に接続された前記位相検出信号を含み、それらインバータの各々の出力端から前記ラッチ出力を供給することを特徴とする請求項 1 記載の位相復調器。

【請求項 6】 前記リッパ発生器がリッパ状に接続された前記位相検出信号を含み、且つ前記インバータの各々の出力端から前記ラッチ出力を供給することを特徴とする請求項 2 記載の位相復調器。

【請求項 7】 前記インバータの各々の電圧端子が前記遅延制御信号の入力端子を兼ねることを特徴とする請求項 6 記載の位相復調器。

【請求項 8】 前記ラッチ手段は、クロック信号として同期ポートミニング信号を受け、前記データ入力として前記ラッチ出力の 1 つを受け、データ出力として前記ラッチ手段の各々の出力を生ずる N 個のラッチ回路を含むことを特徴とする請求項 1 記載の位相復調器。

【請求項 9】 前記エンコーダが、前記ポーリ期間ごとに前記論理レベル変化点を検出し、その検出結果をデジタル信号に変換して出力する手段と、

第 1 のポーリ期間の前記デジタル信号から前記第 1 のポーリ期間に続く第 2 のポーリ期間の前記デジタル信号を減算する減算器と、

前記減算器の出力の位相情報に基づき決定器を含むことを特徴とする請求項 1 記載の位相復調器。

【請求項 10】 前記エンコーダは、前記ポーリ期間ごとに前記論理レベル変化点を検出し、それら論理レベル変化点をコード化する位相情報信号をデジタル信号に変換して出力する手段と、

前記第 1 のポーリ期間の前記デジタル信号から前記第 1 のポーリ期間に続く第 2 のポーリ期間の前記デジタル信号を減算する減算器と、

前記減算器の出力の位相情報に基づき決定器手段を含むことを特徴とする請求項 2 記載の位相復調器。

【請求項 11】 伝送路を経て伝送されてきた P S K 信号からこの P S K 信号の振幅が基座位相を交差するゼロクロス点を検出し、ゼロクロス点を検出するゼロクロス検出手段と、

ポートミニング信号を前記ゼロクロス信号とともに入力を受けて前記ゼロクロス点を検出する同期ポートミニング信号を生ずるサンプリング手段と、

リッパ状に接続された制御信号に基き変化する遅延時間を与える N (N は自然数) 個の遅延素子を含み、互いに相関する 2 つの出力端の間の位相差 $2\pi/N$ のタップ出力および前記 P S K 信号の搬送波周波数にほぼ等しい搬送波周波数を生ずるリッパ発生器と、

前記 N 個のタップ出力の各々を前記同期ポートミニング信号の論理レベル変化点においてラッチし、前記ラッチ出力の各々に対応したラッチ出力を生成するラッチ手段と、

前記ポーリ期間ごとに前記論理レベル変化点を検出し、前記論理レベル変化点が変化する位相情報信号をデジタル信号に変換する手段と、

第 1 のポーリ期間の前記位相情報信号をデジタル信号から前記第 1 のポーリ期間に続く第 2 のポーリ期間の前記

フリップフロップ等のエッジトリガ動作を行うフリップフロップ、即ちクロック端子にゼロクロス信号bを受け、データ端子にポータイミング信号cを受け、出力端子から同期ポータイミング信号dを出力するフリップフロップ (F/F) 21で構成できる。

【0014】同期ボータイミング信号dは、ほぼ同一特性を有するN個の遅延素子をリング状に接続して形成したリング発振器3のタップ出力e、即ちe1 e2、

..., $e(N-1)$, $e(N)$ とともに、ラッチ4に供給される。リング発振器3のいずれかの遅延素子の出力端から得られるリング発振出力1, これはいずれかのタップ出力 e でもあるが、その発振周波数 f_1 は、遅延素子の伝搬遅延時間を t_d としたとき、 $f_1 = 1/N \cdot t_d$ で改ざる。リング発振器3の互いに相異なるタップ出力 e 、例えばタップ出力 e_1 と e_2 は、 $2\pi/N$ の位相差を持つ。図2では $N=8$ としてタップ出力 e_1, e_2, \dots

e6およびe7を示しているので、タップe1とe2の間、及びタップe6とe7の間は、それぞれ $\pi/4$ の位相差がある。リング発振器3の各遅延素子は、遅延時間 t_d により制御されて伝搬遅延時間 t_d を変化させ、それによってリング発振器3の発振周波数 f_1 を変化させる。リング発振器3の発振周波数 f_1 は、後述の方法によってPSK信号aの搬送波周波数 f_m とほぼ等しくされる。

【0015】基準位相発振器8は、発振周波数f0の基準位相信号kを発生する。発振周波数f0は、PSK信号aの復調増幅をあげるために、PSK信号aの搬送波周波数fmのN倍にできるだけ近い周波数に設定する。基準位相信号kとリング発振器出力iとの供給を受ける位相比較器7は、両者の位相を比較し、位相誤差信号jを出力する。位相比較器7としては、基準位相信号kと発振信号iの位相が連続的にする場合に最大値の位相誤差信号jを出力する位相一周波数検出型の位相比較器(Phase Frequency Detector)が最も適している。位相誤差信号jは、ループフィルタ6により平滑化され、遅延制御信号hとしてリング発振器3に供給され、これらリング発振器3、位相比較器7およびループフィルタ6は位相同期ループを形成し、位相同期する。発振周波数f1は、基準位相信号kに位相同期する。

【0016】ラッチ4は、リング装置3のタッポ出力
 $e(e1, e2, \dots, e(N-1), eN)$ をそれぞれ
 同相ボタミミング信号dのリーディングエッジ（後述
 の図の時刻t1およびt4）でラッチし、それぞれの
 タッポ出力eに対応するラッチ出力f（f1, f2,
 $\dots, f(N-1), fN$ ）を出力する。図2を参照する
 と、第1のボ一期間である時刻t1におけるラッチ出力
 fは、ラッチ出力f1、f6、f7が論理レベル
 “1”、ラッチ出力f2が論理レベル“0”である。一
 方、第1のボ一期間に続く第2のボ一期間である時刻t

4) におけるラッチ出力 f は、ラッチ出力 f が論理レベル "1"、ラッチ出力 f 1、 f 2、 f 7 が論理レベル "0" である。図2においては、第1のポー期間ではラッチ出力 f 1 と f 2 の間で論理レベルが "1" から "0" に変化しており、第2のポー期間ではラッチ出力 f 6 と f 7 の間で論理レベルが "1" から "0" に変化している。ラッチ出力 f の論理レベルが "1" から "0" に変化する点は、同一ポー期間で1箇所だけである。ここで、ラッチ出力 f は、PSK信号 a のゼロクロッシング点を基準とする同相ボアフィミング信号 d によりラッチされた信号であり、一方、 $2\pi/N$ の位相差を有するタタラッチ出力 e をラッチしたものである。従って、ラッチ出力 f が収束論理レベル変化情報は、当該ポー期間におけるPSK信号 a の位相を $2\pi/N$ の細かさで示す。従って、ラッチ出力 f 1 と f 6 を第1のポー期間における位相情報、ラッチ出力 f 1 と f 7 を第2のポー期間における位相情報とすることができ、図2においては、ラッチ出力 f 1 と f 6 の間には、 $5\pi/4$ の位相遅れ（あるいは $3\pi/4$ の位相進み）がある。即ち、PSK信号 a において、第1のポー期間と第2のポー期間との間には、 $3\pi/4$ の位相進みがある。

【0017】ラッチ出力 f を入力に受けるエンコーダ 5 は、まず第 1 のポー期間におけるラッチ出力 f 1、 f 2 を位相情報として、第 1 のポー期間の P S K 信号 a の位相を決定し、次いで第 2 のポー期間における P S K 信号 a の位相をラッチ出力 f 6 と f 1 から決定し、次に第 1 および第 2 のポー期間の P S K 信号 a の位相差を計算する。さらに、エンコーダ 5 は、各ポー期間における位相差データに基づいて、1 ポーごとに P S K 信号 a の変動位相を決定し、復調信号 g として出力する。P S K 信号 a が Q P S K 変調された信号であれば、復調信号 g は 2 ビットのディジタル信号となる。

【0018】なお、図1の実施例では、ゼロクロス信号番号bのリーディングエッジをPSK信号aのゼロクロス点としているが、トレイリングエッジを利りにゼロクロス点とすることもできる。また、タクト出力cの脈であることをNを大きくすることで、PSK信号aの位相調製の細かさを高めることができ、位相変調器全体の消費電力が増加する。従ってNは、位相変調に伴う歪み面々化雑音の許容量との兼ね合いで適切に設定される。

【0019】サンブラ2に供給されるポータタイミング信号cをPSK信号aから抽出するポータタイミング信号抽出回路は、例えば、U. S. Patent No. 4, 680, 553に述べた、ポータタイミング信号抽出を主とする回路は、対数増幅器および帯域選択回路を有する構成要素と図3のブロック図を参照すると、図1の実施例に含まれるリング発振器3は、N(Nは奇数)個の同一特性のインバータ31(31A乃至31N)をリネアリング状に接続して構成されている。各インバータ31とその

それぞれの出力端子からは、タップ出力 e ($e1, e2, \dots, eN-1, eN$) が出力される。また、インバータ331の1つ (図ではインバータ331N) からは、リング発振回路1が供給される。各インバータ331は、入力 d の“0”から“1”への立ち上りに応答して出力 f の“1”から“0”となるまでの所要時間を $t_{d \rightarrow f}$ とし、入力 d の“1”から“0”への立ち下りに応答して出力 f の“0”から“1”となるまでの所要時間を $t_{f \rightarrow d}$ とすると、 $t_{d \rightarrow f} + t_{f \rightarrow d}$ に等しい伝搬遅延時間 t_d を有する。リング発振器3の伝搬遅延係数 $f1$ は、 $f1 = 1/N$ である。ここで、インバータ31がCMOSで構成される場合には、インバータ31の伝搬遅延時間 t_d は現在5 ns程度が実現されているので、 N を32とすると、リング発振器3の発振周波数 f の上限は60 MHz程度となる。従って、入力 P SK信号 a の搬送波周波数は、

被調波数 f_m の上層も 6.0 MHz 程度となり、この実施例による位相制御器の周波数上限はカウンタを比較位相発生器とする位相制御器より相当緩和される。なお、各インバータ 3-1 の遅延制御端子にはそれぞれ遅延制御信号 h が入力され、インバータ 3-1 の各々の伝搬遅延時間 t_d を制御する。各インバータ 3-1 の補端番号 n は遅延制御端子番号 m の補端番号 n となる。この遅延制御端子番号 m は、補端番号 5-4 で端子番号 m の補端に変換され、補端番号 n となる。

御端子として使うことができる。

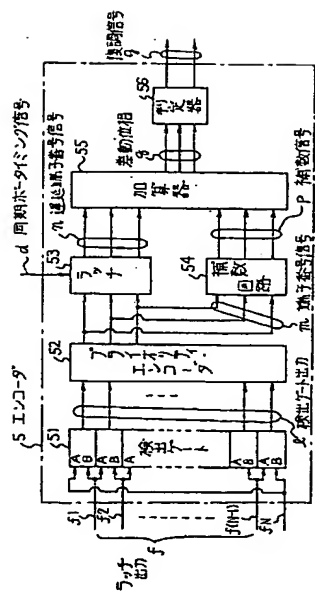
【0021】図4のブロック図を参照すると、図1に含まれるラッチ4はN個のDフリップフロップ(F/F)4-1(4-1Aないし4-1N)を含む。F/F4-1それぞれのデータ端子には、対応するタップ出力(e1ないしeN)が加えられる。すべてのF/F4-1のクロック端子には、同期ボータイミング信号dが加えられる。F/F4-1の出力端子からは、タップ出力eが同期ボータ

【0026】図6のブロック図を参照すると、本発明のもう一つの実施例、即ち同期検波方式のPSK信号の位相複調器は、図1の実施例の位相複調器のゼロクロス検出器1、サンブラ2、リング発振器3、ラッチ4、ルーブリック6、位相比較器7および基帯発振器8に加え、エンコーダ11、減算回路12、判定回路13、倍回回路14、ルーブリックフィルタ15および数値制御増幅器(NCO)16を含んでいる。位相複調器、PSK信号aとポートタイミング信号cの供給を受け、図1の位相複調器と同様の信号処理を行って、ラッチ4からラッチ出力e(c1ないしeN)を出力する。リング発振器3も基帯位相発振器8に同期されている。なお、図1の実施例の回路への追加の構成要素として図6の実施例に含まれる構成要素はすべて信号をデジタル処理するので、その点に言及する以外の実明は省略する。

【0027】ラッチ4に接続されたエンコーダ11は、図5に示されている検出ゲート51とブライオリティ・エンコーダ52との機能を併せて備えている。即ち、エンコーダ11は、ラッチ出力fの供給を受け、リング発振器3のタック出力e(c1ないしeN)それぞれの出

【0023】N個バラレルの検出ゲートの出力は、ブ

(図 5)



(図 6)

